

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-062817

(43)Date of publication of application : 06.03.1998

(51)Int.Cl. G02F 1/136
G02F 1/133
G09G 3/36

(21)Application number : 09-114009 (71)Applicant : SHARP CORP

(22)Date of filing : 01.05.1997 (72)Inventor : MICHAEL JAMES BROWNLOW
NOMURA TOSHIO
KUBOTA YASUSHI
ADACHI MASAHIRO

(30)Priority

Priority number : 96 9609064
Priority date : 01.05.1996
Priority country : GB

(54) ACTIVE MATRIX DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To substantially eliminate the influence that the

dielectric constant anisotropy of liquid crystals exerts in a display and to substantially eliminate the influence that the leak currents at the gates of respective pixels exert on the display by providing the display with buffer amplifiers having the input connected to hold capacitors and the display elements connected to the outputs of these buffer amplifiers.

SOLUTION: The outputs of amplifiers 11 after the scan of wirings contg. pixels and the drains of transistors 6b attain the same potential as the potential of the hold capacitors 5. The voltage acting on the display elements 9 is, therefore, kept forcibly at the same voltage as the voltage applied on the hold capacitors 5. The voltage of the display elements 9 do not change even if the dielectric constant of the liquid crystals changes. The potential on the drain side of the TRs 6b on the side near the display elements 9 is set at the same potential as the output potential of the amplifiers 11, by which the source-drain voltage of the TRs 6b is made substantially zero and the leak currents i_l of the TRs 6b are made substantially zero.

LEGAL STATUS [Date of request for examination] 04.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3297347

[Date of registration] 12.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more picture elements in which each has the gate which has the data input connected to the data electrode, and the scanning electrode connected to the scanning electrode, The hold capacitor connected to the output of this gate, and the buffer amplifier which has the input connected to this hold capacitor, It is a active-matrix display equipped with the display device connected to the output of this buffer amplifier. This gate It is active-matrix DIPUREI which has the 1st and 2nd solid state switches connected to the serial and by which the output of this buffer amplifier is connected to the node between these 1st and 2nd solid state switches.

[Claim 2] Said display device is a active-matrix display according to claim 1 which is a liquid crystal display component.

[Claim 3] Said gate and said buffer amplifier are a active-matrix display according to claim 1 or 2 which is a polish recon active component.

[Claim 4] Said active component is a active-matrix display according to claim 3 which is a polish recon thin film transistor.

[Claim 5] Said buffer amplifier is the active-matrix display of any one publication of four from claim 1 which has unity gain.

[Claim 6] Each of said 1st and 2nd solid state switches is the active-matrix display of any one publication of five from claim 1 which consists of transistors.

[Claim 7] Said buffer amplifier is the active-matrix display of any one publication of six from claim 1 which consists of source followers.

[Claim 8] Said source follower is a active-matrix display according to claim 7 which has the load for making it a fixed current.

[Claim 9] Said buffer amplifier is the active-matrix display of any one publication of six from claim 1 which is the differential amplifier which has the noninverting input connected to said hold capacitor, and the reversal input connected to said output.

[Claim 10] Said differential amplifier is a active-matrix display [equipped with the 1st and 2nd transistors which have a common load] according to claim 9.

[Claim 11] Said common load is a active-matrix display according to claim 10 which is a constant current generator.

[Claim 12] Said buffer amplifier is a active-matrix display according to claim 10 or 11 which consists of current mirrors connected to the drain of said 1st and 2nd transistors.

[Claim 13] It is the active-matrix display of any one publication of 12 from claim 1 which has the power supply terminal by which the buffer amplifier of each picture element of two or more of these lines was connected between the scanning

electrodes corresponding to the line of the pair which adjoins this line by arranging said two or more picture elements as two or more lines, and connecting the scanning input of each picture element of two or more of these lines to the common corresponding, scanning electrode.

[Claim 14] The gate of the picture element of a line where it adjoins of said two or more lines is a active-matrix display according to claim 13 which has the semiconductor device of a reverse conductivity type mutually.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the liquid crystal active-matrix display which uses the low-temperature polysilicon thin film transistor as an active component within a matrix of an active-matrix display.

[0002]

[Description of the Prior Art] The active-matrix display known conventionally has the active circuit in address wiring arranged in the shape of a matrix, in order to control the optical property of display ingredients, such as liquid crystal. Drawing 1 shows the configuration of a typical active-matrix display. 1 is the array of the shape of a rectangle by which the picture element (pixel) has been arranged regularly. The address of the line of the pixel array 1 is performed by the scanning driver 2, and the address of a column is performed by the data driver 3. 4 shows the circuit of a typical pixel.

[0003] Each pixel has the display device (not shown) connected to the hold capacitor 5 at juxtaposition. The hold capacitor 5 is connected between the source of the thin film field-effect transistor 6, and common wiring or gate wiring before one. The gate of a transistor 6 is connected to the scanning electrode 8 common to all the pixels of the line to which the pixel belongs. Moreover, the drain of a transistor 6 is connected to the data electrode 7 common to all the pixels of the column to which the pixel belongs. Each scanning electrode 8 is connected to that to which it corresponds of the outputs of the scanning driver 2, and each data electrode 7 is connected to that to which it corresponds of the outputs of the data driver 3.

[0004] At the time of actuation, the pixel indicative data of each line is given to the data electrode 7 from the data driver 3 synchronizing with the scanning pulse periodically given to the scanning electrode 8 repeatedly from the scanning driver 2. For this reason, the pixel of the same line is refreshed in coincidence until all lines are refreshed and refresh of the indicative data of one frame is completed. Then, this process is repeated about the data of the following frame.

[0005] If the scanning electrode 8 of each pixel receives a scanning pulse from the scanning driver 2, the hold capacitor 5 will be charged with the electrical potential difference of the data electrode 7. If a scanning pulse is removed, a transistor 6 will separate the hold capacitor 5 from the data electrode 7. It becomes a thing corresponding to the electrical potential difference impressed to the hold capacitor 5 until the pixel is refreshed for the optical property of the display device related by that cause with the following frame.

[0006] In a active-matrix liquid crystal display, the electrical potential difference accumulated in the hold capacitor 5 is used in order to modulate the optical property of a liquid crystal layer. The transistor 6 used as a switching element is constituted from an amorphous silicon thin film transistor by the display known conventionally. Between the refresh cycles of each pixel, dynamic behavior of the electrical potential difference accumulated in the capacitor 5 is quite important, when determining image quality.

[0007] With most liquid crystal equipments, the relation between applied voltage and the surface charge on liquid crystal is nonlinear, and has time dependency. This is known as a dielectric constant anisotropy. This has suggested that the effective capacity of liquid crystal equipment is the function of applied voltage and the speed of response of liquid crystal. In the pixel of conventional active-matrix-liquid-crystal equipment, it connects with juxtaposition at the storage capacitance C_s to which the liquid crystal capacity C_{lc} (shown to drawing 2 by 9) which is not ideal was fixed. When the address is carried out to a pixel by giving a scanning pulse to the scanning electrode 8, the gate voltage of the transistor 6 of the pixel becomes a comparatively short time amount high, and this is refreshed for a display device with sufficient speed to prevent a visible flicker. Therefore, the charging time of capacity which has the combination of the capacitor 5 and display device 9 which were connected to juxtaposition is fully so short that the electrical-potential-difference dependency of the liquid crystal capacity C_{lc} does not do the effect of what substantially, either. For this reason, though the liquid crystal capacity C_{lc} is regularity while the scanning pulse is continuing, it is good. However, between a scanning pulse and a scanning pulse, since a transistor 6 separates a capacitor 5 and a display device 9 substantially, the charge of the capacitor 5 connected to juxtaposition and the display device 9 whole is still substantially fixed. If liquid crystal answers applied voltage, since the liquid crystal capacity C_{lc} will change, the final electrical potential difference

concerning a display device becomes less equal to the amplitude of a pulse therefore, and stops being equivalent to the data electrical potential difference given to the data electrode 7 during the scan of a pixel. When liquid crystal has the forward dielectric constant anisotropy, the electrical potential difference which whose capacity increases and is built over a liquid crystal display component falls.

[0008] Drawing 3 (a) – (c) is a graph which shows the effect of a dielectric constant anisotropy, and all show the gate voltage to time amount, and the permeability of a display. Drawing 3 (a) shows the response of the liquid crystal when giving one pulse to 1 refresh period. As for the electrical potential difference of a data electrode, gate voltage is offered by the pulse form with a comparatively short duration. Although this drawing shows the value of permeability to realize on the left-hand side axis of ordinate, the transparency property of an actual liquid crystal display component is lower than permeability to realize. That is, if liquid crystal answers an electrical potential difference, the electrical potential difference which capacity increases and is built over liquid crystal will fall, and permeability will not reach a desired value as a result.

[0009] Drawing 3 (b) is a graph corresponding to drawing 3 (a), and shows the effect of [when giving the same data signal as a pixel over two or more refresh periods (drawing 3 times of refresh periods)]. Thus, desired permeability is realizable by giving a series of scanning pulses to a pixel.

[0010] Drawing 3 (c) supports drawing 3 (a) and (b), and shows the effect of charge of the liquid crystal capacity from the power source of a lower impedance. A transistor 6 is made into an ON state over a longer period, and this may be realized when this charges the hold capacitor 5 and the liquid crystal capacity C_{lc} from each output of the data driver 3 which has a comparatively low output impedance. Therefore, although a liquid crystal display component can realize desired transmission, the rate which can be refreshed for a display decreases sharply and the phenomenon which a flicker etc. does not have comes to be observed.

[0011] As an approach of decreasing the effect of the capacity which is not ideal, the method of making capacity C_s of a hold capacitor quite larger than the liquid crystal capacity C_{lc} which is not ideal is learned. This approach can be typically used to the typical pneumatic ingredient which has the surface density of charge of 10^{-4} C/m². However, there is also liquid crystal mode in which surface density of charge changes greatly with conditions of changing. In order to drive such an ingredient using the conventional active-matrix drive approach, it is required to supply the charge of this high value during the period when the scanning electrode is a high. Since there is not sufficient time amount for a liquid crystal ingredient to answer between scanning periods, the technique of having compromised a very big are recording capacitor, the capacitors of a very high data electrical potential difference and the conventional size, or such technique is needed for this. It is not practical to examine to use the

active-matrix drive approach conventional by the basis of such conditions generally. It is because a bad influence can attain to a numerical aperture and the power consumption of a display if a big capacity and/or a big electrical potential difference are combined. the liquid crystal equipment which has spontaneous polarization like for example, surface passivation strong dielectric liquid crystal into such an ingredient or **** (electroclinics), and HERIO — electric (helioelectrics) and the liquid crystal equipment which has deformation whorl strong dielectricity, antiferroelectric, a random phase, and electric-field induction spontaneous polarization like KARAMUNA are contained.

[0012] It is one of the factors from which the effect of the leakage current of a thin film transistor 6 also starts visually the phenomenon which is not desirable in addition to the effect of a dielectric constant anisotropy. Leakage current is a current which flows the channel of a transistor, when gate voltage is below threshold voltage. If leakage current is too high, the electrical potential difference concerning a liquid crystal display component will fall sharply between frame periods. Consequently, the transparency property of a display device will change remarkably between refreshes, and comes to be visible to the observer who is observing the display. [of a flicker]

[0013] By progress of a thin film transistor manufacturing technology in recent years, development of the polish recon thin film transistor of high performance is progressing. It is possible that the glass substrate used for a display is suited to produce such a transistor at such low temperature by current especially. Furthermore, such a transistor of drive capacity is improving compared with the conventional amorphous silicon thin film transistor, and, so, is used not only for the inside of each pixel of a display but for the circumference drive circuit of a high speed like drivers 2' and 3. Thereby, the manufacturing cost of the display which carried the drive circuit can be reduced.

[0014] On pixel level, a polish recon transistor can be made smaller than an amorphous silicon transistor, can raise a numerical aperture by that cause, and can decrease the feed through of a scanning electrical potential difference. However, the leakage current of a polish recon thin film transistor is quite larger than an amorphous silicon thin film transistor, and the leak by the OFF state which is very dependent on the electrical potential difference between the gate-sources of a transistor 6 and the electrical potential difference between the drain-sources has become one of the parameters which vary most within a display panel. Therefore, these properties pose main problems at the time of using a polish recon thin film transistor for an active-matrix-liquid-crystal display panel as a switching element.

[0015] Drawing 4 shows the drain current over a gate-source electrical potential difference about two kinds of different temperature and two kinds of different drain-source electrical potential differences, and a drain current is what took the logarithm and is shown. If a drain-source electrical potential difference is lowered,

leakage current will decrease exponentially at any temperature. For this reason, leakage current can be reduced by making the electric field in the drain of a transistor small as known. As technique for realizing this, low concentration doped lane (LDD) structure, offset gate (OG) structure, active gate (AG) structure, and multi-gate structure are indicated by F.Okumura and K.Sera, A.M.L.C.D., and p24-27 (1994).

[0016] LDD structure and OG structure have a bad influence on the ON state current, and they not only reduce the electric field in a drain, but lower the rate of a transistor as a result. Therefore, such structure is not ideal for an one apparatus display. It is because it will be necessary to produce a pixel transistor with important reduction of the OFF state current, and the transistor for drive circuits with important improvement in the speed in a different process in an one apparatus display. Thus, that an excessive process arises may lead also to a manufacture increase in cost desirably thru/or again.

[0017] When multi-gate structure is adopted, as shown in drawing 5, two or more thin film transistors connected to the serial will be used. With the configuration shown in drawing 5, the transistor 6 which has the single gate in the configuration shown in drawing 1 and 2 is replaced with the multiple gate transistor equivalent to Transistors 6a and 6b. However, with this configuration, in order to prevent excessive leakage current, electric field may fully be reduced, therefore this structure is often used with LDD structure.

[0018] In addition, the technique known is shown in drawing 6. By this technique, the hold capacitor 10 is added to the joint (in fact between Transistors 6a and 6b) of multi-gate structure. However, it is a doubtful place whether such the sufficient hold time may be offered that it makes it possible to use a polish recon thin film transistor in a display by such configuration, without producing the visual phenomenon which is not desirable.

[0019] Drawing 7 shows the circuit which applied the technique of extending the hold time currently indicated by JP,5-142573,A over several frames. This circuit has the feedback function by connecting to a capacitor 5 and a display device 9 the input of the amplifier 11 which has unity gain, and connecting an output to the joint between Transistors 6a and 6b. By this, the electrical potential difference impressed to a capacitor 5 and a display device 9 appears in the joint of the thin film transistors 6a and 6b connected to the serial. The buffer amplifier 11 is ideal, and if a charge is not taken out from the capacity of a capacitor 5 and a display device 9, the leak from liquid crystal is lost.

[0020] EP 0 586 155 are indicating the active-matrix liquid crystal display as shown in drawing 8. Although this active-matrix liquid crystal display has the almost same configuration as what was shown in drawing 1, it differs from the display shown in drawing 1 with the point of being prepared in the active circuit whose buffer amplifier 11 which has unity gain is each pixel. The input of amplifier 11 is connected to the

source and the hold capacitor 5 of a transistor 6, and the output is connected to the liquid crystal display component 9. Amplifier 11 has the very high input impedance and the comparatively low output impedance.

[0021] If the address of the pixel is carried out by giving a scanning pulse to the scanning electrode 8, a transistor 6 will change to an ON state and the hold capacitor 5 will be charged to the electrical potential difference currently impressed to the data electrode 7. Between the scanning pulses and the scanning pulses which are impressed to an electrode 8, a transistor 6 changes to an OFF state. The output of amplifier 11 supplies this electrical potential difference to a display device 9 according to the electrical potential difference currently impressed to the capacitor 5.

[0022] Since the output impedance of amplifier 11 is comparatively low, the electrical-potential-difference drive of the display device 9 is carried out. Therefore, the electrical potential difference impressed to a display device 9 is still substantially fixed. For this reason, the electrical potential difference impressed to liquid crystal over the whole frame refresh period becomes step-like.

[0023] Although EP 0 586 155 relate to losing the effect of the inter-electrode leakage current of the display device 9 which causes the fall of the electrical potential difference which is between the continuous refreshes and is impressed to a display device, the effect of the dielectric constant anisotropy of liquid crystal is also reduced substantially, or they may be lost.

[0024]

[Problem(s) to be Solved by the Invention] Even if the dielectric constant of liquid crystal changes, he is trying for the electrical potential difference of a display device 9 not to change by making the same compulsorily the electrical potential difference concerning a display device 9 with the electrical potential difference concerning the hold capacitor 5 using amplifier 11 in the circuit currently indicated in EP 0 586 155 shown in drawing 8. However, in this circuit, since the charge accumulated in the hold capacitor 5 can escape through a transistor 6, the electrical potential difference concerning a capacitor 5 falls, and the electrical potential difference built over a display device 9 as a result may also fall. That is, in the circuit currently indicated by EP 0 586 155, the fall of the display electrical potential difference resulting from the leakage current at the time of OFF of a transistor 6 cannot be prevented.

[0025] This invention is made in view of such the present condition, and while losing substantially the effect the dielectric constant anisotropy of liquid crystal affects a display, the leakage current in the gate of each pixel aims at offering the active-matrix display which can also lose substantially the effect affect a display.

[0026]

[Means for Solving the Problem] The active-matrix display equipped with two or more picture elements in which each has the gate which has the scanning input which was connected to the data input connected to the data electrode and the scanning

electrode according to this invention, the hold capacitor connected to the output of the gate, the buffer amplifier which have the input connected to the hold capacitor, and the display device which were connected to the output of buffer amplifier is offered. The gate is equipped with the 1st and 2nd solid state switches connected to the serial, and the output of amplifier is connected to the node between the 1st and 2nd solid state switches.

[0027] It is possible to offer the display which is substantially reduced by this not only in the effect which is not desirable as for the leakage current of a semiconductor device but in the effect of the dielectric constant anisotropy of liquid crystal, or is uninfluential. A refresh rate may be raised on this display and a visual phenomenon like a flicker which is not desirable can be reduced. About the display device using other technique, the hold capacitor is substantially separated from what kind of effect which may be caused by the display device and which is not desirable, when that is not right. A semiconductor device may be produced using the same process process by the object for pixels, and the object for drive circuits carried in a display in one. It does not increase a manufacturing cost substantially.

[0028] Each of a display device may be a liquid crystal display component.

[0029] Amplifier may be equipped with the polish recon active component. The active component may be equipped with the polish recon thin film transistor.

[0030] Preferably, amplifier has unity gain.

[0031] Each of the 1st and 2nd switches may be equipped with the transistor.

[0032] Amplifier may be equipped with the source follower. The source follower may be equipped with the load for making it a fixed current.

[0033] Amplifier may be differential amplifier by which the noninverting input is connected to the hold capacitor and the reversal input is connected to the output. The differential amplifier may be equipped with the 1st and 2nd transistors connected to the common load. A common load may be a constant current generator. Amplifier may be equipped with the current mirror connected to the drain of the 1st and 2nd transistors.

[0034] A picture element may be arranged as two or more lines. In this case, the scanning input of the picture element of each line is connected to a common corresponding, scanning electrode, and the amplifier of the picture element of each line may have the power supply terminal connected between the scanning electrodes corresponding to an adjoining line. The picture element of an adjoining line may be equipped with the semiconductor device of a reverse conductivity type.

[0035] With the desirable operation gestalt of this invention, an active buffer is formed in each pixel of a active-matrix display. This active buffer is formed between a hold capacitor and a liquid crystal cell so that an input may be connected to a hold capacitor and an output may be connected to a liquid crystal cell. Furthermore, the feedback loop is connected to the connection of the polish recon thin film transistor

connected to two serials from the output of a buffer. The polish recon thin film transistor connected to these two serials functions as the pass gate from data wiring to a hold capacitor. A hold capacitor is a comparatively small capacity, and it charges during the period which scans each line, and it gives reference voltage to the input of a buffer. Then, a buffer drives the remaining periods of a frame period, and a liquid crystal cell on a fixed electrical potential difference. If such arrangement is adopted, since a very long period charge will be supplied from a buffer, it is possible to drive the ingredient which has very high surface density of charge. Therefore, it is advantageous, if it becomes unnecessary to use the high voltage and/, or a mass hold capacitor and sees from the point of power consumption or a numerical aperture. It connects so that it may be fed back to the node between the transistors connected to the two-piece serial, and the output of a buffer makes the electrical potential difference of a node equal substantially by it at the output voltage of a buffer. A buffer drives liquid crystal capacity and the joint of a pass transistor to coincidence according to the electrical potential difference of a hold capacitor. If an ideal buffer is used under such a situation, the drain-source electrical potential difference of the transistor of the side near liquid crystal capacity will become zero substantially, and, so, the leakage current of it will also be lost substantially.

[0036]

[Embodiment of the Invention] Although the active-matrix liquid crystal display shown in drawing 9 has the almost same configuration as the display shown in drawing 8, it differs in that it is replaced with the transistors 6a and 6b by which the transistor 6 was connected to the serial. These transistors 6a and 6b function as a multi-gate transistor as shown in 7 from drawing 5. Furthermore, the output of amplifier 11 is connected to the connection between the source of transistor 6a, and the drain of transistor 6b on the display of drawing 9.

[0037] The connection between the source of transistor 6a and amplifier 11 serves as a path of the initial charge from data wiring. The output of amplifier 11 and the drain of transistor 6b become the same potential as the hold capacitor 5 after the scan of wiring containing a pixel. For this reason, the electrical potential difference concerning a display device 9 is kept the same as the electrical potential difference compulsorily built over the hold capacitor 5 with amplifier 11, and even if the dielectric constant of liquid crystal changes, the electrical potential difference of a display device 9 will not change. Moreover, by making potential by the side of the drain of transistor 6b of the side near a display device 9 into the same potential as the output potential of amplifier 11, the source-drain electrical potential difference of transistor 6b becomes equal to zero substantially, and, thereby, the leakage current i_l of transistor 6b becomes equal to zero substantially. For this reason, the sag of the hold capacitor 5 resulting from the leakage current of the switching element which was a problem conventionally can be prevented, and it is lost substantially that leakage current has a bad influence on a

display as a result.

[0038] It is determined by various examination of the area of amplifier, effectiveness, an allowable error, etc. which configuration is adopted by the ability considering various configurations for realizing the buffer amplifier 11 which has unity gain.

[0039] Drawing 10 shows the example of 1 configuration of the buffer amplifier 11, and amplifier 11 is realized in the form of a source follower in this example. The source follower has the enhancement transistors 12 and 13 connected to the serial among the electrical-potential-difference supply wiring Vdd and Vss. The gate of a transistor 12 constitutes the input of the amplifier connected to the capacitor 5, and the source of a transistor 12 constitutes the output of amplifier. It connects with bias voltage Vb and the gate of a transistor 13 constitutes the load for making a transistor 12 into a fixed current.

[0040] It is only required that a current required to compensate the current which is needed for the source follower shown in drawing 10 since change of the capacity C_{lc} of the liquid crystal display component 9 is followed, and leak should be supplied. For this reason, the requirements for the current of this source follower are very small.

[0041] As shown in drawing 11, a source follower may consist of depression transistors 12a and 13a. In this case, it connects with the source and the gate of transistor 13a constitutes a constant current generator. For this reason, bias voltage Vb becomes unnecessary and can omit excessive electrical-potential-difference supply wiring.

[0042] Drawing 12 is drawing showing other examples of a configuration of the buffer amplifier which has unity gain. The buffer amplifier which has unity gain with the differential amplifier which used the polish recon enhancement thin film transistor consists of this example. Amplifier is equipped with the difference input transistors 20 and 21 and the constant current source which has a transistor 22. The gate of a transistor 22 is connected so that bias voltage Vb may be received. The drain of a transistor 20 is connected to the input of a current mirror, and the output of a current mirror is connected to the drain of a transistor 21. The current mirror consists of transistors 23 and 24 of a conductivity type with reverse transistors 20, 21, and 22. As a noninverting input of the differential amplifier, the gate of the transistor 20 connected to the hold capacitor 5 is used. The gate of a transistor 21 is used as a reversal input of the differential amplifier, and is connected to the output of amplifier. The output of amplifier is formed in the connection between the drain of a transistor 21, and the drain of a transistor 24. A transistor operates by the sub threshold current so that the closed loop gain of amplifier may become very close to 1. Working [between a scanning pulse and a scanning pulse], the potential difference concerning the channel of transistor 6b becomes equal to the input offset voltage of amplifier 11, and this is a very small value.

[0043] Drawing 13 shows the fall of a hold capacitor electrical potential difference to

time amount about the arrangement mentioned above. The engine performance of the circuit shown in drawing 1 is shown, and, as for a curve 30, it turns out that the electrical potential difference of a pixel falls comparatively quickly. When a frame refresh period considers the standard graphic display which is 20 ms order, the electrical potential difference of a pixel will fall from the input value of 10 volts to about 6 volts. The curve 31 shows the engine performance of the circuit shown in drawing 5, and the curve 32 shows the engine performance of the circuit shown in drawing 6. If a refresh period is considered to be 20 mses the same way, a pixel electrical potential difference will fall to about 8.5 volts from 10 volts. Such sag is connected with a visual bad influence to the extent that it is visible.

[0044] The curve 33 shows the engine performance of a circuit in which it is used in the active-matrix display of drawing 9 and this invention shown in 10 and 11. The fall of the electrical potential difference in a refresh period is comparatively small, and this curve shows that it is 0.5 volts or less. The curve 34 shows the engine performance of a circuit in which it is used in the active-matrix display of this invention shown in drawing 12, and the sag in the refresh period of 20 mses is a negligible quantity about this circuit.

[0045] as [appear / thus, / lose substantially the effect of the dielectric constant anisotropy of liquid crystal, and / according to this invention, / in a display / the visual bad influence which is visible by that cause] -- active-matrix display offer can be made. The effect of the leakage current of a gating transistor can also be reduced sharply, or it can lose substantially. Therefore, it becomes possible to use a polish recon thin film transistor in the active circuit of each pixel, and a circumference drive circuit like the scanning driver 2 and the data driver 3. It becomes unnecessary for this reason, to be able to produce [no] circuits according to the same manufacture process, and to add an excessive process.

[0046] If it thinks as a fault of forming the buffer amplifier 11 in a pixel, it is having to establish the power source to the electrical-potential-difference supply wiring Vdd and Vss. Thereby, if excessive wiring is prepared, in order for a numerical aperture to fall remarkably and to form an electrode in the shape of a matrix, the case where it must arrange so that a certain electrode and wiring may straddle other electrodes and wiring will arise, and the possibility of a defect will increase on a highly minute display. In order to prevent such a problem arising, arrangement without the need of adding excessive wiring is desirable.

[0047] The example of arrangement without the need of adding excessive wiring to drawing 14 is shown. Drawing 14 shows for pixel 1 train [a part of] of a active-matrix display. Although each pixel is constituted almost like the display shown in drawing 9, it differs from the display of drawing 9 at the point that the polarity of an active component is reverse, by the pixel of a certain line, and the pixel of the next line. That is, supposing transistor 6ai of the i-th line and 6bi(s) are p molds, transistor 6ai+1 of

the $i+1$ st line and $6b_{i+1}$ are n molds. p mold transistor $6a_i$ of the i -th line and $6b_i(s)$ will be turned off if it will be turned on if the corresponding, scanning wiring i (i -th scanning wiring) becomes negative, and the scanning wiring i becomes positive. On the other hand, transistor $6a_{i+1}$ of n mold of the $i+1$ st line and $6b_{i+1}$ will be turned off if it will be turned on if the $i+1$ st scanning wiring $i+1$ which is corresponding, scanning wiring becomes positive, and the scanning wiring $i+1$ becomes negative.

[0048] Thus, when the scanning pulse is not impressed, scanning wiring is [every other] negative, and the remaining, scanning wiring is positive. Therefore, as shown in drawing 14 , the electrical-potential-difference supply wiring V_{dd} and V_{ss} is connected to scanning wiring, and it becomes possible to use also as amplifier 11_i and an electrical-potential-difference source of supply of 11_{i+1} . Thus, while a quiescent state has scanning wiring corresponding to the pixel of the line (one continued line and line after one) of the both sides of the line to which the pixel belongs that is, it will continue for the whole period between refresh of the pixel of one continued line, and refresh of the pixel of the line after one, and an electrical potential difference will be supplied to the active circuit of each pixel. Therefore, it becomes possible to supply an electrical potential difference to amplifier, without preparing excessive wiring.

[0049]

[Effect of the Invention] As explained above, according to this invention, the dielectric constant anisotropy of liquid crystal does to a display, for example, both a bad influence like a flicker and the bad influence which the leakage current in the switching element of a switching circuit has on a display can be sharply lost on reduction or a real target.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the configuration of the conventional active-matrix display roughly.

[Drawing 2] It is drawing showing the configuration of the active component of the active-matrix display of drawing 1 .

[Drawing 3] (c) is drawing showing the effect of the dielectric constant anisotropy of

liquid crystal about a different gating waveform from (a).

[Drawing 4] It is drawing showing the leakage current over bias voltage about a typical polish recon thin film transistor.

[Drawing 5] It is drawing showing the configuration of the principal part of the active-matrix display which applied the well-known technique for reducing leakage current.

[Drawing 6] It is drawing showing the configuration of the principal part of the active-matrix display which applied other well-known technique for reducing leakage current.

[Drawing 7] It is drawing showing the configuration of the principal part of the active-matrix display which applied other technique in the well-known pan for reducing leakage current.

[Drawing 8] It is drawing showing the configuration of other conventional active-matrix displays roughly.

[Drawing 9] It is drawing showing roughly the configuration of the active-matrix display in 1 operation gestalt of this invention.

[Drawing 10] It is drawing showing the configuration of the amplifier used in the display of drawing 9 .

[Drawing 11] It is drawing showing other configurations of the amplifier used in the display of drawing 9 .

[Drawing 12] It is drawing showing other configurations of the amplifier used in the display of drawing 9 .

[Drawing 13] It is drawing showing the effect of leakage current about a different active circuit.

[Drawing 14] In the active-matrix display of this invention, in order to supply an electrical potential difference to the active circuit of a pixel, it is drawing showing the configuration which uses scanning wiring.

[Description of Notations]

1 Pixel Array

2 Scanning Driver

3 Data Driver

4 Pixel

5 Hold Capacitor

6a, 6b Transistor

7 Data Electrode

8 Scanning Electrode

9 Display Device

11 Buffer Amplifier

特開平10-62817

(43)公開日 平成10年(1998) 3月6日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
	1/133	5 5 0	1/133	5 5 0
G 0 9 G 3/36			G 0 9 G 3/36	

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21)出願番号 特願平9-114009

(22)出願日 平成9年(1997) 5月1日

(31)優先権主張番号 9 6 0 9 0 6 4 . 2

(32)優先日 1996年5月1日

(33)優先権主張国 イギリス (G B)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 マイケル ジェイムズ ブラウンロウ
イギリス国 オーエックス 44ワイビー,
オックスフォード, サンドフォード
オン サメス, チャーチ ロード 124

(72)発明者 野村 俊夫
イギリス国 オーエックス5 2ワイイ
ー, オックスフォードシャー, キッド
リントン, フォックスダウン クローズ
50

(74)代理人 弁理士 山本 秀策

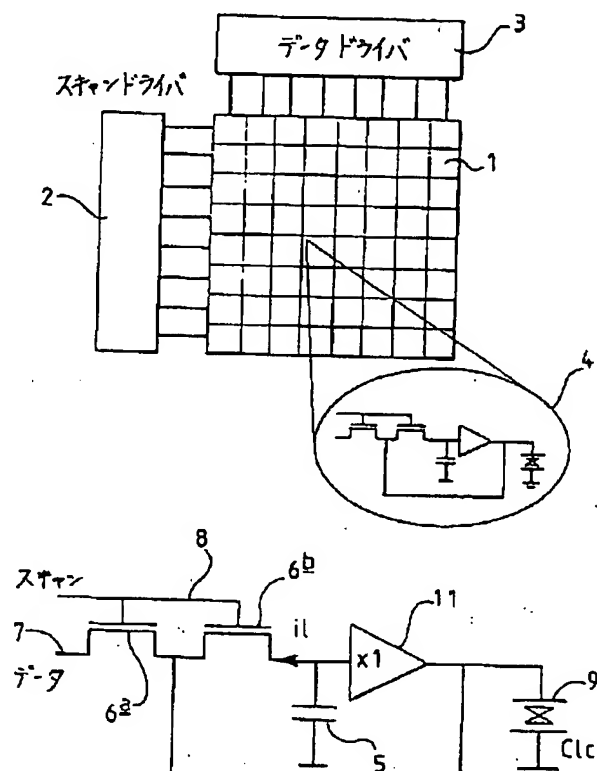
最終頁に続く

(54)【発明の名称】 アクティブマトリクスディスプレイ

(57)【要約】

【課題】 液晶の誘電率異方性およびゲートトランジスタのリーク電流が表示に与える影響を実質的になくす。

【解決手段】 矩形の絵素アレイ1と、これらを駆動するドライバ2および3を備えているアクティブマトリクス液晶ディスプレイにおいて、各絵素4に、液晶表示素子9に出力が接続されるようにユニティゲインを有するバッファアンプ11を設ける。アンプ11の入力は、その絵素のホールドキャパシタ5に接続されており、さらに直列に接続されたゲートトランジスタ6aおよび6bにも接続されている。トランジスタ6aのゲートは、対応するスキャン電極8に接続されている。トランジスタ6aおよび6bはデータ電極7とアンプ11の入力との間に直列に接続されている。アンプ11の出力はトランジスタ6aおよび6bの間に接続部に接続されている。



【特許請求の範囲】

【請求項1】 データ電極に接続されたデータ入力、およびスキャン電極に接続されたスキャン電極を有するゲートをそれぞれが有している複数の絵素と、該ゲートの出力に接続されているホールドキャパシタと、

該ホールドキャパシタに接続されている入力を有するバッファアンプと、

該バッファアンプの出力に接続されている表示素子と、を備えているアクティブマトリクスディスプレイであって、

該ゲートは、直列に接続された第1および第2の半導体スイッチを有しており、該バッファアンプの出力は該第1および第2の半導体スイッチの間のノードに接続されている、アクティブマトリクスディスプレイ。

【請求項2】 前記表示素子は液晶表示素子である、請求項1に記載のアクティブマトリクスディスプレイ。

【請求項3】 前記ゲートおよび前記バッファアンプはポリシリコンアクティブ素子である、請求項1または2に記載のアクティブマトリクスディスプレイ。

【請求項4】 前記アクティブ素子はポリシリコン薄膜トランジスタである、請求項3に記載のアクティブマトリクスディスプレイ。

【請求項5】 前記バッファアンプはユニティゲインを有している、請求項1から4のいずれか1つに記載のアクティブマトリクスディスプレイ。

【請求項6】 前記第1および第2の半導体スイッチのそれぞれはトランジスタから構成されている、請求項1から5のいずれか1つに記載のアクティブマトリクスディスプレイ。

【請求項7】 前記バッファアンプはソースフォロワで構成されている、請求項1から6のいずれか1つに記載のアクティブマトリクスディスプレイ。

【請求項8】 前記ソースフォロワは一定電流にするための負荷を有している、請求項7に記載のアクティブマトリクスディスプレイ。

【請求項9】 前記バッファアンプは、前記ホールドキャパシタに接続された非反転入力と、前記出力に接続された反転入力とを有する差動アンプである、請求項1から6のいずれか1つに記載のアクティブマトリクスディスプレイ。

【請求項10】 前記差動アンプは、共通の負荷を有する第1および第2のトランジスタを備えている、請求項9に記載のアクティブマトリクスディスプレイ。

【請求項11】 前記共通の負荷は、定電流発生器である、請求項10に記載のアクティブマトリクスディスプレイ。

【請求項12】 前記バッファアンプは、前記第1および第2のトランジスタのドレインに接続されている電流源を有している、請求項1から11のいずれか1つに記載のアクティブマトリクスディスプレイ。

のアクティブマトリクスディスプレイ。

【請求項13】 前記複数の絵素は複数の行として配置されており、該複数の行のそれぞれの絵素のスキャン入力は共通の対応するスキャン電極に接続されており、該複数の行のそれぞれの絵素のバッファアンプは、該行に隣接する一対の行に対応するスキャン電極の間に接続された電源端子を有している、請求項1から12のいずれか1つに記載のアクティブマトリクスディスプレイ。

【請求項14】 前記複数の行のうちの隣接する行の絵素のゲートは、互いに逆の導電型の半導体装置を有している、請求項13に記載のアクティブマトリクスディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクスディスプレイに関し、特にマトリクス内のアクティブ素子として低温ポリシリコン薄膜トランジスタを用いている液晶アクティブマトリクスディスプレイに関する。

【0002】

【従来の技術】従来知られているアクティブマトリクスディスプレイは、液晶などの表示材料の光学特性を制御するために、マトリクス状に配置されたアドレス配線内にアクティブ回路を有している。図1は、典型的なアクティブマトリクスディスプレイの構成を示している。1は、絵素（ピクセル）が規則的に配置された矩形形状のアレイである。ピクセルアレイ1の行のアドレスは、スキャンドライバ2によって行われ、列のアドレスはデータドライバ3によって行われる。4は、典型的なピクセルの回路を示している。

【0003】各ピクセルは、ホールドキャパシタ5に並列に接続された表示素子（図示せず）を有している。ホールドキャパシタ5は、薄膜電界効果トランジスタ6のソースと、コモン配線または1つ前のゲート配線との間に接続されている。トランジスタ6のゲートは、そのピクセルが属する行の全てのピクセルに共通のスキャン電極8に接続されている。また、トランジスタ6のドレインは、そのピクセルが属する列の全てのピクセルに共通のデータ電極7に接続されている。各スキャン電極8は、スキャンドライバ2の出力のうちの対応するものに接続されており、各データ電極7は、データドライバ3の出力のうちの対応するものに接続されている。

【0004】動作時には、各行のピクセル表示データが、スキャンドライバ2からスキャン電極8に周期的に繰り返して与えられるスキャンパルスに同期して、データドライバ3からデータ電極7に与えられる。このため、同じ行のピクセルは、全ての行がリフレッシュされて1フレームの表示データのリフレッシュが完了するまで同時にリフレッシュされる。その後、次のフレームのピクセル表示データが与えられる。

【0005】各ピクセルのスキャン電極8がスキャンドライバ2からスキャンパルスを受け取ると、データ電極7の電圧によってホールドキャパシタ5が充電される。スキャンパルスが除かれると、トランジスタ6はホールドキャパシタ5をデータ電極7から切り離す。それにより関連する表示素子の光学特性は、そのピクセルが次のフレームでリフレッシュされるまでホールドキャパシタ5に印加された電圧に対応したものとなる。

【0006】アクティブマトリクス液晶ディスプレイでは、ホールドキャパシタ5に蓄積された電圧は、液晶層の光学特性を変調するために用いられる。従来知られているディスプレイでは、スイッチング素子として用いられるトランジスタ6はアモルファスシリコン薄膜トランジスタで構成される。各ピクセルのリフレッシュサイクルの間、キャパシタ5に蓄積された電圧の動的な振まいは、画質を決定する上でかなり重要である。

【0007】たいていの液晶装置では、印加電圧と液晶上の表面電荷との間の関係は非線形であり、時間依存性を有している。これは誘電率異方性として知られている。このことは、液晶装置の実効容量が印加電圧と液晶の応答速度との関数であることを示唆している。従来のアクティブマトリクス液晶装置のピクセルでは、理想的ではない液晶容量 C_{lc} （図2に9で示されている）が固定された蓄積容量 C_s に並列に接続されている。スキャンパルスをスキャン電極8に与えることによってピクセルにアドレスすると、そのピクセルのトランジスタ6のゲート電圧は比較的短い時間ハイになり、それにより表示素子は、目に見えるフリッカを防ぐのに十分な速さでリフレッシュされる。したがって、並列に接続されたキャパシタ5と表示素子9との組み合わせを有する容量の充電時間は、液晶容量 C_{lc} の電圧依存性が実質的に何の影響も及ぼさないほど十分に短い。このため液晶容量 C_{lc} はスキャンパルスが継続している間一定であるとしてもよい。しかしながら、スキャンパルスとスキャンパルスとの間では、トランジスタ6はキャパシタ5および表示素子9を実質的に切り離してしまうので、並列に接続されたキャパシタ5および表示素子9全体の電荷は実質的に一定のままである。液晶が印加電圧に応答すると、液晶容量 C_{lc} が変わるため、表示素子にかかる最終的な電圧は、パルスの振幅とは等しくなくなり、ゆえにピクセルのスキャン中にデータ電極7に与えられるデータ電圧には対応しなくなる。液晶が正の誘電率異方性を有している場合には、容量が増えて液晶表示素子にかかる電圧は低下する。

【0008】図3（a）～（c）は誘電率異方性の影響を示すグラフであり、いずれも時間に対するゲート電圧およびディスプレイの透過率を示している。図3（a）は、1リフレッシュ期間に1つのパルスを与えたときの液晶の応答を示している。データ電極の電圧は、ゲート電圧と、液晶の誘電率異方性による電圧の低下と、パルスの印加による電圧の増加とで構成される。図3（b）は、図3（a）に示す電圧の低下を補正するための電圧の増加を示している。図3（c）は、図3（a）に示す電圧の低下を補正するための電圧の増加を示している。

の図では実現したい透過率の値を左側の縦軸上に表示しているが、実際の液晶表示素子の透過特性は実現したい透過率よりも低くなっている。つまり、液晶が電圧に応答すると、容量が増えて液晶にかかる電圧が低下し、結果として透過率が所望の値に達しない。

【0009】図3（b）は、図3（a）に対応するグラフであり、複数のリフレッシュ期間（図では3回のリフレッシュ期間）にわたってピクセルに同じデータ信号を与えたときの影響を示している。このように、一連のスキャンパルスをピクセルに与えることによって所望の透過率を実現することができる。

【0010】図3（c）は、図3（a）および（b）に対応しており、より低いインピーダンスの電源からの液晶容量の充電の影響を示している。これは、例えばトランジスタ6をより長い期間にわたってオン状態にし、それによりホールドキャパシタ5および液晶容量 C_{lc} を比較的低い出力インピーダンスを有するデータドライバ3の各出力から充電することによって実現され得る。したがって液晶表示素子は所望の透過率を実現することができるが、ディスプレイをリフレッシュすることができるレートは大幅に減少し、フリッカなどの望ましくない現象が観察されるようになる。

【0011】理想的でない容量の影響を減少させる方法として、ホールドキャパシタの容量 C_s を理想的ではない液晶容量 C_{lc} よりもかなり大きくするという方法が知られている。このアプローチは、典型的には $10^{-4}C/m^2$ の表面電荷密度を有する典型的なネマティック材料に対して用いることができる。しかしながら、切り替えられる状態によって大きく表面電荷密度が異なる液晶モードもある。このような材料を従来のアクティブマトリクス駆動方法を用いて駆動するには、スキャン電極がハイになっている期間中にこの高い値の電荷を供給することが必要である。スキャン期間の間は、液晶材料が応答するのに十分な時間がないため、これには、非常に大きな蓄積キャパシタ、非常に高いデータ電圧と従来のサイズのキャパシタ、あるいはこれらの手法を折衷した手法が必要とされる。一般に、このような条件のもとで従来のアクティブマトリクス駆動方法を用いることを検討するのは、実用的ではない。なぜなら、大きな容量および/または電圧を組み合わせると、開口率やディスプレイの消費電力に悪影響が及び得るからである。このような材料には、例えば、表面安定化強誘電液晶のような自発分極を有する液晶装置、あるいは、電傾（electroclitics）、ヘリオエレクトリック（helioelectrics）、変形らせん強誘電、反強誘電、ランダム相およびカラムナーのような電界誘起自発分極を有する液晶装置が含まれる。

【0012】誘電率異方性の影響に加えて、薄膜トランジスタ6のリーク電流の影響も視覚的に望ましくない現象を引き起こす。図3（d）は、図3（a）に示す電圧の低下を補正するための電圧の増加を示している。図3（e）は、図3（a）に示す電圧の低下を補正するための電圧の増加を示している。

が閾値電圧よりも下であるときにトランジスタのチャネルを流れる電流である。リーク電流が高すぎると、液晶表示素子にかかる電圧はフレーム期間の間に大幅に低下する。その結果、表示素子の透過特性は、リフレッシュとリフレッシュとの間で著しく変わることであり、ディスプレイを観察している観察者にフリッカが見えるようになる。

【0013】近年の薄膜トランジスタ製造技術の進展によって、高性能のポリシリコン薄膜トランジスタの開発が進んでいる。特に、現在では、このようなトランジスタを、ディスプレイに用いられるガラス基板に適合するほど低い温度で作製することが可能である。さらに、このようなトランジスタは、従来のアモルファスシリコン薄膜トランジスタに比べて駆動能力も向上しており、それゆえにディスプレイの各ピクセル内だけではなく、ドライバ2および3のような高速の周辺駆動回路にも用いられるようになってきている。これにより、駆動回路を搭載したディスプレイの製造コストを低減することができる。

【0014】ピクセルレベルでは、ポリシリコントランジスタは、アモルファスシリコントランジスタよりも小さくすることができ、それにより開口率を高め、スキャン電圧のフィードスルーを減少させることができる。しかしながら、ポリシリコン薄膜トランジスタのリーク電流はアモルファスシリコン薄膜トランジスタよりもかなり大きく、トランジスタ6のゲートソース間の電圧とドレインソース間の電圧とに非常に依存しているオフ状態でのリークは、ディスプレイパネル内で最もばらつくパラメータの1つになっている。したがってこれらの特性は、アクティブマトリクス液晶ディスプレイパネルにスイッチング素子としてポリシリコン薄膜トランジスタを用いる際の主要な問題となっている。

【0015】図4は、2種類の異なる温度および2種類のドレインソース電圧について、ゲートソース電圧に対するドレイン電流を示しており、ドレイン電流は対数をとったもので示している。ドレインソース電圧を下げると、いずれの温度でもリーク電流は指数的に減少する。このため、知られているように、トランジスタのドレインでの電界を小さくすることによってリーク電流を低減することができる。これを実現するための手法として、F. Okumura and K. Sera, A.M.L.C.D., p24-27 (1994)には、低濃度ドープドレイン(LDD)構造、オフセットゲート(OG)構造、アクティブゲート(AG)構造およびマルチゲート構造が開示されている。

【0016】LDD構造およびOG構造は、ドレインでの電界を低減するだけではなく、オン電流に悪影響を及ぼし、結果としてトランジスタの速度を下げる。したがって、このような構造は、一体型ディスプレイには理想的ではない。一体型ディスプレイでは、オフ電流の低減が重要であるが、ピクセルレベルでは、高速化が重要である。

ある駆動回路用のトランジスタとを異なるプロセスで作製する必要が生じるからである。このように余分な工程が生じてしまうことは望ましくないし、また製造コストの増加にもつながりかねない。

【0017】マルチゲート構造を採用した場合には、図5に示すように、直列に接続された2以上の薄膜トランジスタを用いることになる。図5に示す構成では、図1および2に示されている構成における単一のゲートを有するトランジスタ6が、トランジスタ6aおよび6bに等価であるマルチプルゲートトランジスタに置き換わっている。しかしながら、この構成では、余分なリーク電流を防ぐため十分に電界を低減させることができないことがあり、そのためにこの構造はしばしばLDD構造とともに用いられる。

【0018】その他に知られている手法を図6に示す。この手法では、マルチゲート構造の接合部(実際にはトランジスタ6aおよび6bの間)にホールドキャパシタ10を付加している。しかし、このような構成によって、望ましくない視覚的な現象を生じさせることなくポリシリコン薄膜トランジスタをディスプレイにおいて用いることを可能にするほど十分なホールド時間が提供され得るかどうかは疑わしいところである。

【0019】図7は、特開平5-142573号公報に開示されているホールド時間を数フレームにわたって引き延ばす手法を適用した回路を示している。この回路は、ユニティゲインを有するアンプ11の入力をキャパシタ5および表示素子9に接続し、出力をトランジスタ6aおよび6bの間の接合部に接続することによって、フィードバック機能を有している。これによって、キャパシタ5および表示素子9に印加される電圧は直列に接続された薄膜トランジスタ6aおよび6bの接合部に現れる。バッファアンプ11が理想的であり、かつ、キャパシタ5および表示素子9の容量から電荷が出されなければ、液晶からのリークはなくなる。

【0020】EP 0 586 155は、図8に示すようなアクティブマトリクス液晶ディスプレイを開示している。このアクティブマトリクス液晶ディスプレイは、図1に示したものとほぼ同様の構成を有しているが、ユニティゲインを有するバッファアンプ11が各ピクセルのアクティブ回路に設けられているという点で図1に示したディスプレイとは異なっている。アンプ11の入力はトランジスタ6のソースとホールドキャパシタ5とに接続されており、出力は液晶表示素子9に接続されている。アンプ11は、非常に高い入力インピーダンスと比較的低い出力インピーダンスとを有している。

【0021】スキャン電極8にスキャンパルスを与えることによってピクセルをアドレスすると、トランジスタ6はオン状態に切り替わり、ホールドキャパシタ5はデータ電極7に印加されている電圧まで充電される。電極9に印加されるデータパルスによって、液晶表示素子9の電圧が変化し、液晶表示素子9の透過率が変化する。

では、トランジスタ6はオフ状態に切り替わる。アンプ11の出力はキャパシタ5に印加されている電圧にしたがい、表示素子9にこの電圧を供給する。

【0022】アンプ11の出力インピーダンスが比較的低いので、表示素子9は電圧駆動される。したがって表示素子9に印加される電圧は実質的には一定のままである。このため、フレームリフレッシュ期間全体にわたって液晶に印加される電圧がステップ状になる。

【0023】EP 0 586 155は、連続したリフレッシュ間で表示素子に印加される電圧の低下を引き起こす表示素子9の電極間のリーク電流の影響をなくすことに関連してはいるが、液晶の誘電率異方性の影響もまた実質的に低減されるか、あるいはなくなり得る。

【0024】

【発明が解決しようとする課題】図8に示すEP 0 586 155において開示されている回路では、アンプ11を用いて、表示素子9にかかる電圧をホールドキャパシタ5にかかる電圧と強制的に同じにすることによって、液晶の誘電率が変化しても表示素子9の電圧が変化しないようにしている。しかしこの回路では、ホールドキャパシタ5に蓄積された電荷がトランジスタ6を介して逃げてしまい得るため、キャパシタ5にかかる電圧が低下してしまい、その結果表示素子9にかかる電圧も低下してしまい得る。つまり、EP 0 586 155に開示されている回路では、トランジスタ6のオフ時のリーク電流に起因する表示電圧の低下を防ぐことはできない。

【0025】本発明はこのような現状に鑑みてなされたものであり、液晶の誘電率異方性が表示に及ぼす影響を実質的になくすとともに、各ピクセルのゲートにおけるリーク電流が表示に及ぼす影響をも実質的になくすることができるアクティブマトリクスディスプレイを提供することを目的とする。

【0026】

【課題を解決するための手段】本発明によれば、データ電極に接続されたデータ入力とスキャン電極に接続されたスキャン入力とを有するゲートをそれぞれが有する複数の絵素と、ゲートの出力に接続されたホールドキャパシタと、ホールドキャパシタに接続された入力とを有するバッファアンプと、バッファアンプの出力に接続された表示素子と、を備えたアクティブマトリクスディスプレイが提供される。ゲートは、直列に接続された第1および第2の半導体スイッチを備えており、アンプの出力は第1および第2の半導体スイッチの間のノードに接続されている。

【0027】これにより、半導体装置のリーク電流の望ましくない影響だけではなく液晶の誘電率異方性の影響をも実質的に低減されているか、あるいは、影響のないディスプレイを提供することが可能である。このディスプレイではリフレッシュ速度を上げてよく、フリッカ

きる。他の手法を用いた表示素子については、ホールドキャパシタは、そうでない場合に表示素子によって引き起こされ得るいかなる望ましくない影響から実質的に切り離されている。半導体装置は、ピクセル用とディスプレイに一体的に搭載される駆動回路用とで同じプロセス工程を用いて作製してもよい。それによって、実質的に製造コストを増やすことがない。

【0028】表示素子のそれぞれは、液晶表示素子であってもよい。

【0029】アンプは、ポリシリコンアクティブ素子を備えていてもよい。アクティブ素子は、ポリシリコン薄膜トランジスタを備えていてもよい。

【0030】好ましくは、アンプはユニティゲインを有している。

【0031】第1および第2のスイッチのそれぞれは、トランジスタを備えていてもよい。

【0032】アンプは、ソースフォロワを備えていてもよい。ソースフォロワは一定電流にするための負荷を備えていてもよい。

【0033】アンプは、非反転入力にホールドキャパシタに接続されており、反転入力に出力に接続されている差動アンプであってもよい。差動アンプは、共通の負荷に接続されている第1および第2のトランジスタを備えていてもよい。共通の負荷は定電流発生器であってもよい。アンプは、第1および第2のトランジスタのドレインに接続されている電流ミラーを備えていてもよい。

【0034】絵素は、複数の行として配置されてもよい。この場合には、各行の絵素のスキャン入力は対応する共通のスキャン電極に接続され、各行の絵素のアンプは、隣接する行に対応するスキャン電極の間に接続された電源端子を有し得る。隣接する行の絵素は、逆の導電型の半導体装置を備えていてもよい。

【0035】本発明の好ましい実施形態では、アクティブバッファがアクティブマトリクスディスプレイの各ピクセルに設けられる。このアクティブバッファは、入力にホールドキャパシタに、出力が液晶セルに接続されるように、ホールドキャパシタと液晶セルとの間に設けられる。さらに、フィードバックループがバッファの出力から2つの直列に接続されたポリシリコン薄膜トランジスタの接続部に接続される。これら2つの直列に接続されたポリシリコン薄膜トランジスタは、データ配線からホールドキャパシタへのパスゲートとして機能する。ホールドキャパシタは、比較的小さな容量であり、各行をスキャンする期間中に充電され、バッファの入力に参照電圧を与える。続いてバッファは、フレーム期間の残りの期間、液晶セルを一定の電圧で駆動する。このような配置を採用すれば、非常に長い期間電荷がバッファから供給されるので、非常に高い表面電荷密度を有する材料を駆動することが可能である。したがって高電圧および

なくなり、消費電力や開口率という点から見れば有利である。バッファの出力は、2個直列に接続されたトランジスタの間のノードにフィードバックされるように接続されており、それによってノードの電圧をバッファの出力電圧に実質的に等しくしている。バッファは、ホールドキャパシタの電圧に従い、液晶容量とパストランジスタの接合部とを同時に駆動する。このような状況下で、理想的なバッファを用いれば、液晶容量に近い側のトランジスタのドレインソース電圧は実質的にゼロになり、それゆえにリーク電流も実質的になくなる。

【0036】

【発明の実施の形態】図9に示されているアクティブマトリクス液晶ディスプレイは、図8に示すディスプレイとほぼ同様の構成を有しているが、トランジスタ6が直列に接続されたトランジスタ6aおよび6bに置き換わっている点が異なっている。これらのトランジスタ6aおよび6bは、例えば図5から7に示されているようにマルチゲートトランジスタとして機能する。さらに、図9のディスプレイでは、アンプ11の出力がトランジスタ6aのソースとトランジスタ6bのドレインとの間の接続部に接続されている。

【0037】トランジスタ6aのソースとアンプ11との間の接続部は、データ配線からの初期充電の経路となる。ピクセルを含む配線のスキャンの後、アンプ11の出力およびトランジスタ6bのドレインは、ホールドキャパシタ5と同じ電位になる。このため、表示素子9にかかる電圧は、アンプ11によって強制的にホールドキャパシタ5にかかる電圧と同じに保たれ、仮に液晶の誘電率が変化したとしても表示素子9の電圧は変化しない。また、表示素子9に近い側のトランジスタ6bのドレイン側の電位をアンプ11の出力電位と同じ電位にすることによって、トランジスタ6bのソースドレイン電圧は実質的にゼロに等しくなり、それによりトランジスタ6bのリーク電流 i_l は実質的にゼロに等しくなる。このために、従来問題であったスイッチング素子のリーク電流に起因するホールドキャパシタ5の電圧低下を防ぐことができ、その結果リーク電流が表示に悪影響を及ぼすことが実質的になくなる。

【0038】ユニティゲインを有するバッファアンプ11を実現するにはさまざまな構成が考えられ、どの構成を採用するかは、アンプの面積、効率および許容誤差等のさまざまな検討によって決定される。

【0039】図10は、バッファアンプ11の一構成例を示しており、この例ではアンプ11はソースフォロワの形で実現されている。ソースフォロワは、電圧供給配線V_{dd}とV_{ss}との間に直列に接続されたエンハンスメントトランジスタ12および13を有している。トランジスタ12のゲートはキャパシタ5に接続されたアンプの入力を構成し、トランジスタ12のソースはアンプの出力を構成する。トランジスタ12のドレインは、ソース

電圧V_bに接続されており、トランジスタ12を一定電流にするための負荷を構成する。

【0040】図10に示されているソースフォロワには、液晶表示素子9の容量C_{1c}の変化に追従するために必要となる電流とリークを補償するのに必要な電流とを供給することだけが要求される。このため、このソースフォロワの電流の要件はきわめて小さい。

【0041】図11に示すように、ソースフォロワをデプレッショントランジスタ12aおよび13aで構成してもよい。この場合には、トランジスタ13aのゲートがソースに接続されて定電流発生器を構成する。このため、バイアス電圧V_bは必要なくなり、余分な電圧供給配線を省略することができる。

【0042】図12は、ユニティゲインを有するバッファアンプの他の構成例を示す図である。この例では、ポリシリコンエンハンスメント薄膜トランジスタを用いた差動アンプによってユニティゲインを有するバッファアンプを構成している。アンプは、差動入力トランジスタ20および21と、トランジスタ22を有する定電流ソースとを備えている。トランジスタ22のゲートは、バイアス電圧V_bを受け取るように接続されている。トランジスタ20のドレインは電流ミラーの入力に接続されており、電流ミラーの出力はトランジスタ21のドレインに接続されている。電流ミラーは、トランジスタ20、21および22とは逆の導電型のトランジスタ23および24から構成されている。差動アンプの非反転入力としては、ホールドキャパシタ5に接続されているトランジスタ20のゲートが用いられる。トランジスタ21のゲートは差動アンプの反転入力として用いられ、アンプの出力に接続されている。アンプの出力は、トランジスタ21のドレインとトランジスタ24のドレインとの間の接続部に形成される。トランジスタは、アンプの閉ループゲインが1に非常に近くなるように、サブ閾値電流で動作する。スキャンパルスとスキャンパルスとの間の動作中に、トランジスタ6bのチャネルにかかる電位差は、アンプ11の入力オフセット電圧に等しくなり、これは非常に小さい値である。

【0043】図13は、上述した配置に関して、ホールドキャパシタ電圧の低下を時間に対して示したものである。曲線30は、図1に示されている回路の性能を示しており、ピクセルの電圧は比較的急速に低下していくことがわかる。フレームリフレッシュ期間が20ミリ秒オーダーである標準的な映像表示を考えると、ピクセルの電圧は、入力値10ボルトから約6ボルトまで低下することになる。曲線31は図5に示されている回路の性能を示しており、曲線32は図6に示されている回路の性能を示している。同様にリフレッシュ期間を20ミリ秒と考えると、ピクセル電圧は10ボルトから約8.5ボルトに低下する。これらの電圧低下が、目に見えるくらいの影響を及ぼす。

【0044】曲線33は図9、10および11に示されている本発明のアクティブマトリクスディスプレイにおいて用いられる回路の性能を示している。この曲線から、リフレッシュ期間中の電圧の低下は比較的小さく、0.5ボルト以下であることがわかる。曲線34は図12に示されている本発明のアクティブマトリクスディスプレイにおいて用いられる回路の性能を示しており、この回路については20ミリ秒のリフレッシュ期間中の電圧低下は無視できる量である。

【0045】このように本発明によれば、液晶の誘電率異方性の影響を実質的になくし、それにより目に見える視覚的な悪影響が表示に現れないようなアクティブマトリクスディスプレイ提供することができる。ゲートイングトランジスタのリーク電流の影響も大幅に低減するか、あるいは実質的になくすることができる。したがって、ポリシリコン薄膜トランジスタを各ピクセルのアクティブ回路や、スキンドライバ2およびデータドライバ3のような周辺駆動回路において使用することが可能になる。このため、全ての回路を同一の製造プロセスによって作製することができ、余分なプロセスを追加する必要はなくなる。

【0046】ピクセルにバッファアンプ11を設けることの欠点として考えられるとすれば、電圧供給配線V_{dd}およびV_{ss}への電源を設けなければならないことである。余分な配線を設けると、それにより高精細ディスプレイでは開口率が著しく下がるし、電極をマトリクス状に形成するためにはある電極や配線が他の電極や配線をまたぐように配置しなければならない場合が生じ、欠陥の可能性が増大する。このような問題が生じるのを防ぐためには、余分な配線を付加する必要のない配置が好ましい。

【0047】図14に余分な配線を追加する必要のない配置の例を示す。図14では、アクティブマトリクスディスプレイのピクセル1列分の一部のみを示している。各ピクセルは、図9に示されているディスプレイとはほぼ同様に構成されているが、ある行のピクセルと隣の行のピクセルとではアクティブ素子の極性が逆である点で図9のディスプレイとは異なっている。つまり、i行目のトランジスタ6a_iおよび6b_iが例えばp型であるとする、i+1行目のトランジスタ6a_{i+1}および6b_{i+1}はn型である。i行目のp型トランジスタ6a_iおよび6b_iは、対応するスキャン配線i(i番目のスキャン配線)がネガティブになるとオン状態になり、スキャン配線iがポジティブになるとオフ状態になる。一方、i+1行目のn型のトランジスタ6a_{i+1}および6b_{i+1}は、対応するスキャン配線であるi+1番目のスキャン配線i+1がポジティブになるとオン状態になり、スキャン配線i+1がネガティブになるとオフ状態になる。

いないときにはスキャン配線は1本おきにネガティブであり、残りのスキャン配線はポジティブである。したがって、図14に示すように、スキャン配線に電圧供給配線V_{dd}およびV_{ss}を接続して、アンプ11_iおよび11_{i+1}への電圧供給源としても用いることが可能となる。このようにして、各ピクセルのアクティブ回路には、そのピクセルが属する行の両側の行(1つ前の行と1つ後の行)のピクセルに対応するスキャン配線とが静止状態にある間、つまり1つ前の行のピクセルのリフレッシュと1つ後の行のピクセルのリフレッシュとの間の期間全体にわたって、電圧が供給されることになる。したがって、余分な配線を設けることなく、アンプに電圧を供給することが可能になる。

【0049】

【発明の効果】以上説明したように、本発明によれば、液晶の誘電率異方性が表示に及ぼす、例えばフリッカのような悪影響、およびスイッチング回路のスイッチング素子におけるリーク電流が表示に及ぼす悪影響の両方を大幅に低減、または実質的になくすることができる。

【図面の簡単な説明】

【図1】 従来のアクティブマトリクスディスプレイの構成を概略的に示す図である。

【図2】 図1のアクティブマトリクスディスプレイのアクティブ素子の構成を示す図である。

【図3】 (a)から(c)は異なるゲート波形について液晶の誘電率異方性の影響を示す図である。

【図4】 典型的なポリシリコン薄膜トランジスタについて、バイアス電圧に対するリーク電流を示す図である。

【図5】 リーク電流を低減するための公知の手法を適用したアクティブマトリクスディスプレイの主要部の構成を示す図である。

【図6】 リーク電流を低減するための公知の他の手法を適用したアクティブマトリクスディスプレイの主要部の構成を示す図である。

【図7】 リーク電流を低減するための公知のさらに他の手法を適用したアクティブマトリクスディスプレイの主要部の構成を示す図である。

【図8】 従来の他のアクティブマトリクスディスプレイの構成を概略的に示す図である。

【図9】 本発明の一実施形態におけるアクティブマトリクスディスプレイの構成を概略的に示す図である。

【図10】 図9のディスプレイにおいて用いられるアンプの構成を示す図である。

【図11】 図9のディスプレイにおいて用いられるアンプの他の構成を示す図である。

【図12】 図9のディスプレイにおいて用いられるアンプの他の構成を示す図である。

【図13】 異なるアクティブ回路についてリーク電流の影響を示す図である。

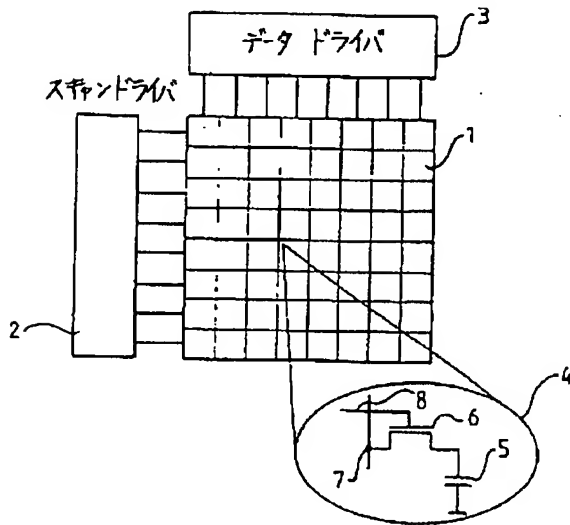
【図14】 本発明のアクティブマトリクスディスプレイにおいて、ピクセルのアクティブ回路に電圧を供給するためにスキャン配線を用いる構成を示す図である。

【符号の説明】

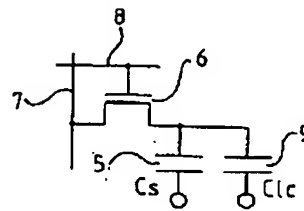
- 1 ピクセルアレイ
- 2 スキャンドライバ
- 3 データドライバ

- 4 ピクセル
- 5 ホールドキャパシタ
- 6 a、6 b トランジスタ
- 7 データ電極
- 8 スキャン電極
- 9 表示素子
- 11 バッファアンプ

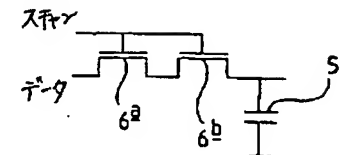
【図1】



【図2】

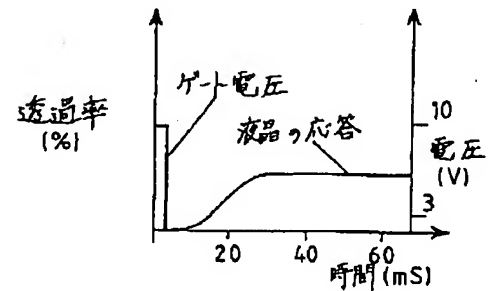


【図5】

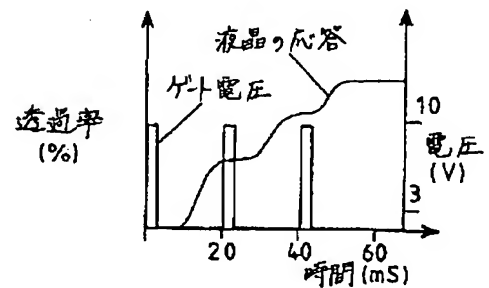


【図3】

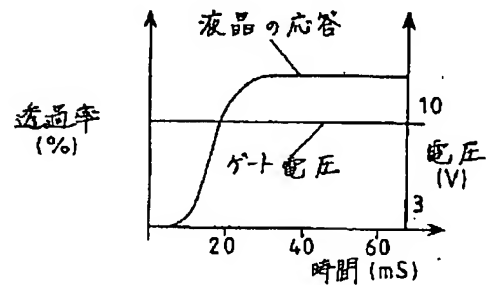
(a)



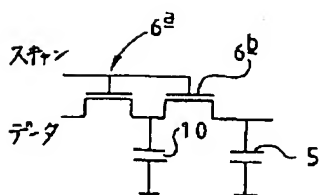
(b)



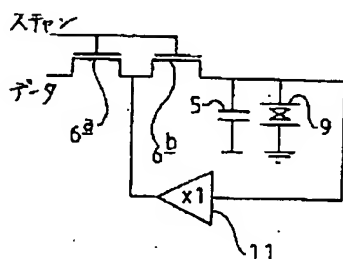
(c)



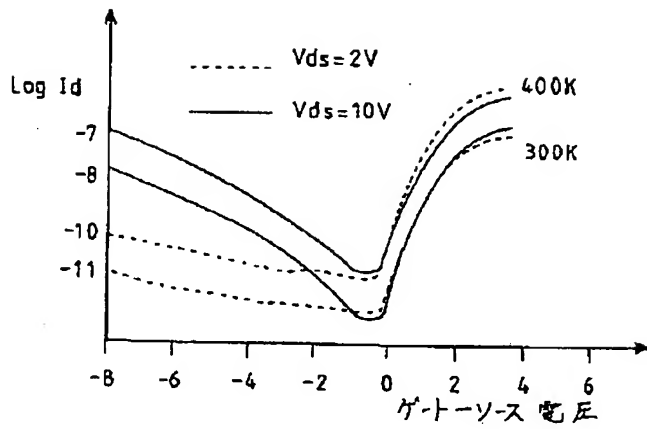
【図6】



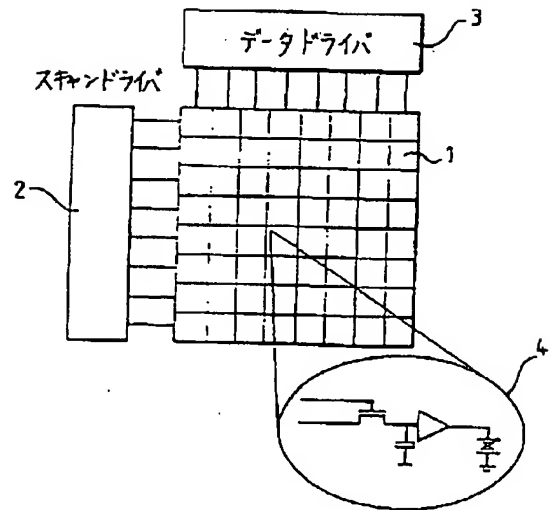
【図7】



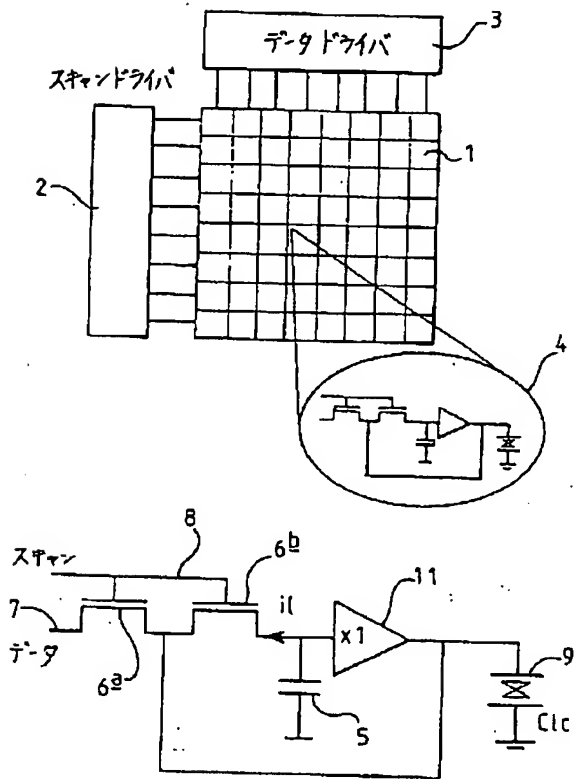
【図4】



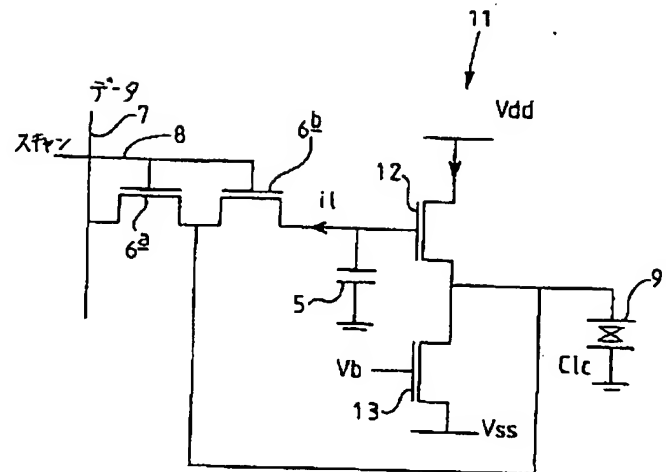
【図8】



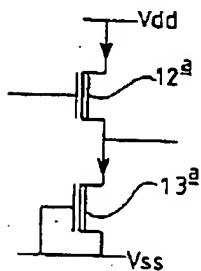
【図9】



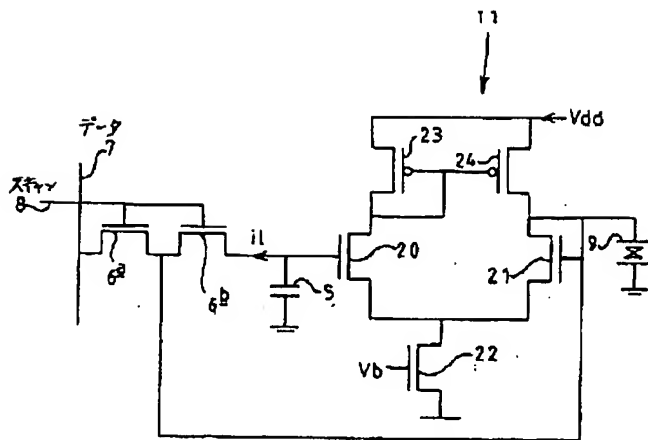
【図10】



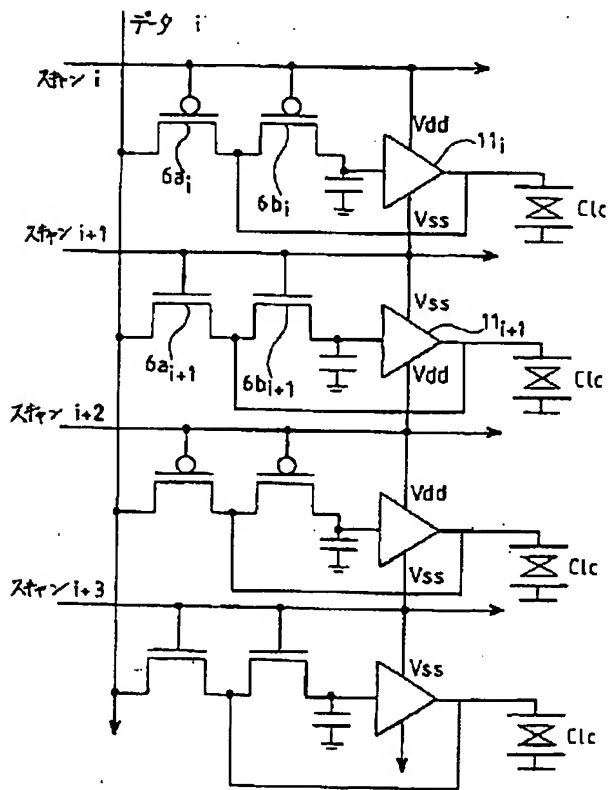
【図11】



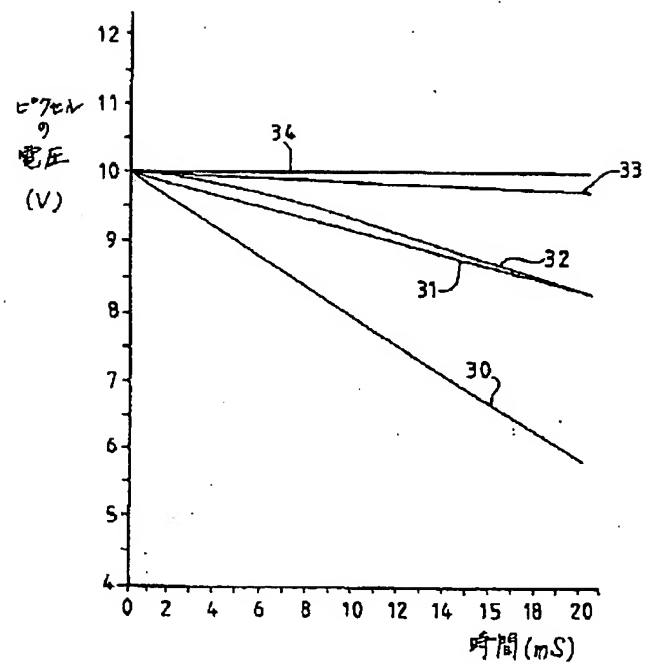
【図12】



【図14】



【図13】



フロントページの続き

(72)発明者 久保田 靖
奈良県桜井市朝倉台西5-1093-267

(72)発明者 足立 昌浩
奈良県奈良市朱雀4-3-4 ローレルコ
ート高の原ダブリュ-305